

JAPAN PATENT OFFICE (JP)
PATENT APPLICATION PUBLICATION
PATENT PUBLICATION OFFICIAL REPORT (A)
HEI 3-22540
Int. Cl. ⁵ H 01 L 21/336, 21/20, 29/784
IDENTIFICATION NUMBER:
IN-OFFICE SERIAL NUMBER: 7739-5F, 9056-5F
PUBLICATION: January 30, 1991
SUBSTANTIVE EXAMINATION: NOT REQUESTED
THE NUMBER OF INVENTION: 4 (total 6 pages)

1. Title of the Invention: Method of Manufacturing Semiconductor Device

Patent Application Hei 1-157126

Application June 20, 1989

2. Inventor

Address: 3-3-5, Yamato, Suwa-shi, Nagano-ken

Suwa Seiko-sha

Name: Hideaki OKA

3. Applicant

Address: 2-4-1, Nishi-shinjyuku, Shinjuku-ku, Tokyo

Name: SEIKO EPSON CORPORATION

4. Attorney

Patent attorney: Kisaburou SUZUKI

SPECIFICATION

1. Title of the Invention

Method of Manufacturing Semiconductor Device

2. Scope of Claim for Patent

1) A method of manufacturing a semiconductor device comprising at least, (a) a step of forming a semiconductor layer mainly containing silicon on an insulating amorphous material, (b) a step of conducting crystal growth of the semiconductor layer with a heat treatment and so on, (c) a step of treating the semiconductor layer at a predetermined heat treatment temperature higher than that of the step (b).

2) A method of manufacturing the semiconductor device described in claim 1 characterized in that the heat treatment temperature in the above respective steps is 700 °C to 1200 °C.

3) A method of manufacturing the semiconductor device described in claim 1 or 2 comprising a step of forming a gate insulating film characterized in that a maximum temperature in the step of forming the gate insulating film is lower than the heat treatment temperature in the above step (c).

4) A method of manufacturing the semiconductor device described in claim 1, 2 or 3 characterized in that the heat treatment of the above step (c) is conducted through an excimer laser.

3. Detailed Description of the Invention

[Field of the Invention in Industry]

The present invention relates to a method of manufacturing a semiconductor device, particularly, relates to a manufacturing method for forming a semiconductor element on an insulating amorphous material.

[Prior Art]

Attempts are made to form sophisticated semiconductor elements on an insulating amorphous substrate of glass, quartz and the like, or on an insulating amorphous layer of SiO₂.

Recently, a large scale liquid crystal display panel having high resolution, a high speed contact type image sensor having high resolution and a three dimension IC and the like come to be needed. And a sophisticated semiconductor element on an insulating amorphous material above mentioned is hoped to be realized.

In case of forming a thin film transistor (TFT) on an insulating amorphous material, (1) TFT that an amorphous silicon formed with plasma CVD method or the like is used as an element material, (2) TFT that a polycrystal silicon formed with CVD method or the like is used as an element material, (3) TFT that a monocrystal silicon formed with melting recrystallization is used as an element material are examined.

However, of those TFTs, compared with electric field effect mobility in the case of using a monocrystal silicon as an element material, that of TFTs which an amorphous silicon and a polycrystal silicon are used as element materials is greatly lower (an amorphous silicon TFT < 1 cm² / V·sec, a polycrystal silicon TFT ~ 10 cm²

/ V·sec). And a sophisticated TFT was difficult to be realized.

On the other hand, a melting recrystallization method with laser beam or the like is not yet enough completed technique. And in case that elements are necessary to be formed over a large area like in a liquid crystal display panel, there are big technical problems.

[Problem to be Solved by the Invention]

Then, as a simple and practical method to form a sophisticated semiconductor element on an insulated amorphous material, a method to grow a large polycrystal silicon in a solid phase state attracts attention and is researched. (Thin Solid Films 100 (1983) p.227, JJAP Vol. 25 No.2 (1986) p. L 121)

However, in the prior art, after a polycrystal silicon is formed with a CVD method, Si⁺ is ion implanted to make the polycrystal silicon amorphous, and a heat treatment at about 600 °C is conducted for nearly 100 hours. Therefore, an expensive ion implantation device was needed and there was a defect that heat treatment hours were extensively long.

Then, the purpose of the invention is to provide a manufacturing method for forming a large polycrystal silicon having high crystallization in a more simple and practical method.

[Means to solve the Problem]

The manufacturing method of a semiconductor device in the present invention is characterized in that;

- 1) it comprises (a) a step of forming a semiconductor layer mainly containing silicon on an insulating amorphous material,
(b) a step of conducting crystal growth of the semiconductor layer with a heat treatment and so on,
(c) a step of treating the semiconductor layer at a predetermined heat treatment temperature higher than that of the step (b).
- 2) the heat treatment temperature in the above respective steps is 700 °C to 1200 °C.
- 3) the method comprises a step of forming a gate insulating film and the maximum temperature in a step of forming the gate insulating film is lower than a heat treatment temperature in the above step (c).
- 4) a heat treatment of the above step (c) is conducted with an excimer laser.

[Example]

Fig.1 is one example of a manufacturing process figure of the semiconductor device in the example of present invention. And, in Fig. 1, a thin film transistor is formed as a semiconductor element.

In Fig. 1, (a) is a step of forming a silicon layer 102 on an insulating amorphous substrate such as glass, quartz and so on, or on an insulating amorphous material 101 of an insulating amorphous material layer such as SiO₂. As an example of film formation condition, there is a LPCVD method at a temperature of 500 °C to 560 °C for forming a silicon film about 100 Å to 2000 Å in thickness. But, there is no limit to deposition methods.

(b) is a step of conducting crystal growth of the silicon layer 102 through heat treatment and the like. The optimum condition of heat treatment condition differs as to deposition methods of a silicon layer in the step (a). A polysilicon layer 103 is formed at a temperature of about 550 °C to 650 °C for about 2 to 30 hours in inactive gas atmosphere of nitrogen or Ar and the like.

(c) is a step of conducting heat treatment of the polysilicon layer 103 at a predetermined heat treatment temperature higher than that of the step (b). As a heat treatment temperature, there is an optimum value between 700 °C to 1200 °C. But in case of glass as a substrate, it cannot be exposed to the above high temperature. So it is important that the temperature of only the vicinity of the surface of the semiconductor is risen to the above temperature by irradiating short wave length light such as excimer and the like, and the irradiating intensity and the irradiating hours need to be optimized so that the temperature around the semiconductor layer and the substrate interface becomes under about 600 °C. As an example, the condition like the XeCl excimer laser (wave length 308 nm) is used and 1 to 10 pulse (1 pulse number + ns) is irradiated at the irradiating intensity about 0.1 to 1.0 J/cm² satisfies the above condition. When the temperature of a semiconductor layer and substrate surface is under about 600 °C during the laser irradiation, the condition melting a surface of a semiconductor layer is preferable because the crystallization of a semiconductor surface layer becomes better. Especially the surface layer is a region that an inversion layer is formed and crystallization improvement of a surface layer leads to an improvement of transistor characteristics.

(d) is a step of forming a gate insulating film 104. As a method for forming a gate insulating film, there is a thermal oxidation method at a high temperature 900 °C to 1200 °C (high temperature process). And there is a CVD method, a plasma CVD method, a light CVD method, a sputtering method and the like at a low temperature lower than about 650 °C (low temperature process). Of course, when glass is used as a substrate a low temperature process needs to be adopted.

(e) is a step of forming a semiconductor element. Fig. 1 (e) shows a case in which a TFT is formed as a semiconductor element. In the figure, 104 is a gate insulating film, 105 is a gate electrode, 106 is a source · drain region, 107 is an interlayer insulating film, 108 is a contact hole, 109 is a wiring. As an example of a TFT forming method, after forming a gate electrode, source · drain regions are formed by an ion implantation method, a thermal diffusion method, a plasma doping method, an ion shower doping method and the like. And an interlayer insulating film is formed through a CVD method, a sputtering method, a plasma CVD method and the like. Moreover, a contact hole is opened in the interlayer insulating film and wirings are formed. As a method of forming source · drain regions in case of using glass as a substrate, there is a method in which after impurities such as B, P and the like are implanted through an ion implantation method, those impurities are activated by a heat treatment at a low temperature about 600 °C for several to several ten hours. Also as other methods, an ion shower doping method, a plasma doping method and the like are effective.

In the present invention it is important that after a solid phase growth is made at a low temperature about 550 °C to 650 °C a heat treatment is conducted at a temperature higher than that. The reason is described below.

Crystallinity of the polycrystal silicon layer 103 that a crystal growth is conducted through a solid phase growth method in the step (b) is not necessarily high. Especially, conducting a solid phase growth of a silicon film (which is an amorphous silicon or a microcrystal silicon that a micro crystal region exists in the amorphous phase) formed through a LPCVD method at a comparatively low temperature about 500 °C to 560 °C, the crystallinity is about 50 to 70 % and low. Therefore, the process becomes important that crystallizes a not

crystallized region in the polycrystal silicon layer with a heat treatment at a higher temperature in the step (c) than the step (b). As a result, crystallinity can be risen to more than 99 %. Especially, when a gate insulating film is formed through the above low temperature process, conducting a heat treatment based on the present invention and promoting crystallinity are important because a high temperature heat treatment such as thermal oxidation is not made in the future process.

As a heat treatment method, in an annealing furnace and an atmosphere of nitrogen or an inactive gas such as Ar, for example, there are heat treatment methods for about an hour at 850 °C and 10 to 20 minutes at 1000 °C. In addition to that, there are methods of lamp annealing using a halogen lamp, arc lamp, infrared lamp, xenon lamp, mercury lamp and the like. And there are methods of laser annealing using an excimer laser, Ar laser, He-Ne laser and the like. Among them the laser annealing using an excimer laser can be used when a cheap glass substrate is used because it can heat only the around surface of a semiconductor layer. In such a case the crystallinity of at least from the surface of the semiconductor layer to several hundred Å can be made more than 99 %. As a result, if a gate insulating film is formed through a low temperature process, and source · drain regions are formed through a low temperature process less than about 600 °C (for instance, the method that activation is conducted through a heat treatment about 600 °C for several to several ten hours after implanting impurities such as B, P and the like by an ion implantation method.), a sophisticated semiconductor element can be formed on a glass substrate and the effect is quite large. Comparing the case that laser annealing is conducted after a solid phase growth at about 550 °C to 650 °C with the case that laser annealing of the as-deposited film without a solid phase growth, crystal grain sizes of the films with the solid phase growth is large (more than 1 μm) and crystallinity is high (in the case of only the laser annealing, the crystallinity of the semiconductor layer around a substrate is especially bad).

Moreover, an important correlation is discovered between the film deposition temperature through a LPCVD method and the existence of the heat treatment in the step (c). That is, comparing a silicon layer formed through the LPCVD method at a high temperature (for example about 580 °C to 610 °C) and a silicon layer at a low temperature (for example about 500 °C to 550 °C), if there was no heat treatment in the step (c), though a silicon layer formed at the low temperature was large in crystal grain size, crystallinity was low and the electric field effect mobility was small. However, if the heat treatment was conducted in the step (c), crystal grain size and crystallinity and electric field effect mobility of TFT of the silicon layer formed at a low temperature was large. And this was a value that could not be obtained from the film formed at a high temperature about 580 °C to 610 °C through the LPCVD method.

The reason is assumed as described below. (1) A film formed at a low temperature is an amorphous silicon or a microcrystal silicon in which a microcrystal region exists in the amorphous phase. Therefore, compared with a film formed at a high temperature, generation density of polycrystal nuclei at a solid phase growth is low and a large size polycrystal silicon can be formed with a solid phase growth. (2) However, concerning about a film formed at a low temperature, the portion of amorphous phase after a solid phase growth is large and a high temperature heat treatment seems to be necessary to raise crystallinity. Therefore, the present invention is effective

not only for a film formed through the CVD method, but for the cases where an amorphous silicon or a microcrystal silicon are formed through an evaporation method, a plasma CVD method, an EB evaporation method, a MBE method, a sputtering method, a CVD method. And the invention is also effective for the case where after a microcrystal silicon or a polycrystal silicon is formed through a plasma CVD method, a CVD method, an evaporation method, an EB evaporation method, a MBE method, a sputtering method and the like, elements such as Si, Ar, B, P, He, Ne, Kr, H and the like are ion implanted to make a whole or a portion of the microcrystal silicon or the polycrystal silicon in an amorphous state. Particularly, the present invention is more effective to an as-deposited film having a higher proportion of an amorphous phase and a lower nucleus density of polycrystal a film that the amorphous phase portion of the as-depo film is high and the generation density of polycrystal (namely, a large size polycrystal silicon is easy to form through a solid phase growth).

The electric field effect mobility of a polycrystal silicon TFT (N channel) using the manufacturing method of a semiconductor device based on the present invention and formed through a low temperature process is about 150 to $200 \text{ m}^2 / \text{V} \cdot \text{sec}$, and the same character as the TFT formed through a thermal oxidation method is obtained.

Though the present invention is the most effective in the above low temperature process, it is also effective in a high temperature process. That is to say, when a polycrystal silicon having large non-crystallized regions is oxidized thermally, the non-crystallized regions having a higher oxidation speed than crystallized regions are oxidized first. As a result, an oxidation film is formed along a crystal grain boundary and the mobility is decreased. However, using an annealing method of the present invention, since crystallinity before thermal oxidation is increased sufficiently and the oxidation along the crystal grain boundary is suppressed, the effect is quite large.

Moreover, providing the above TFT manufacturing process with a process exposing the semiconductor element to a plasma atmosphere of a gas including at least hydrogen gas or ammonium gas and hydrogenating the above TFT, defect density existing in a crystal grain boundary can be decreased and the above electric field effect mobility can be improved.

And the method of doping impurities into the channel region and controlling V_{th} (threshold voltage) is also quite effective. In case of the polysilicon TFT formed through a solid phase growth method, V_{th} of the N channel transistor shifts to the depression direction and the P channel transistor shifts to the enhancement direction. And, the tendency becomes more remarkable in the case of hydrogenating the TFT as described above. Then, doping impurities about 10^{15} to $10^{19} / \text{cm}^3$ into the channel region, a shift of V_{th} can be restrained. For example, there is a method in the Fig 1, before forming the gate electrode, we implant impurities such as B (boron) and so on at a dose of about 10^{11} to $10^{12} / \text{cm}^2$ through ion implantation method and the like. Particularly, with the dose amount as said before, V_{th} can be controlled so as to minimize the off current of both a P channel transistor and a N channel transistor. Therefore, in case of forming a TFT element of the CMOS type, channel doping of the entire surface in the same process can be performed without selective channel doping of Pch and Nch.

And the present invention can be applied not only to the TFT shown in an example of Fig.1, but also to all insulated gate type semiconductor elements. In addition to that, the invention is extremely effective in the case of

forming semiconductor elements using a polycrystal semiconductor as an element material, such as bipolar transistors, electrostatic induction type transistors, photoelectric conversion elements such as solar cells and light sensor.

[Effect of the Invention]

As mentioned above, according to the present invention, in a more simple manufacturing process, a large size polycrystal silicon film having high crystallinity can be formed. As a result, a sophisticated semiconductor element can be formed on insulated amorphous material and it becomes easy to form a big liquid crystal display panel having high resolution, a high speed contact type image sensor having high resolution, a three dimensions IC and the like.

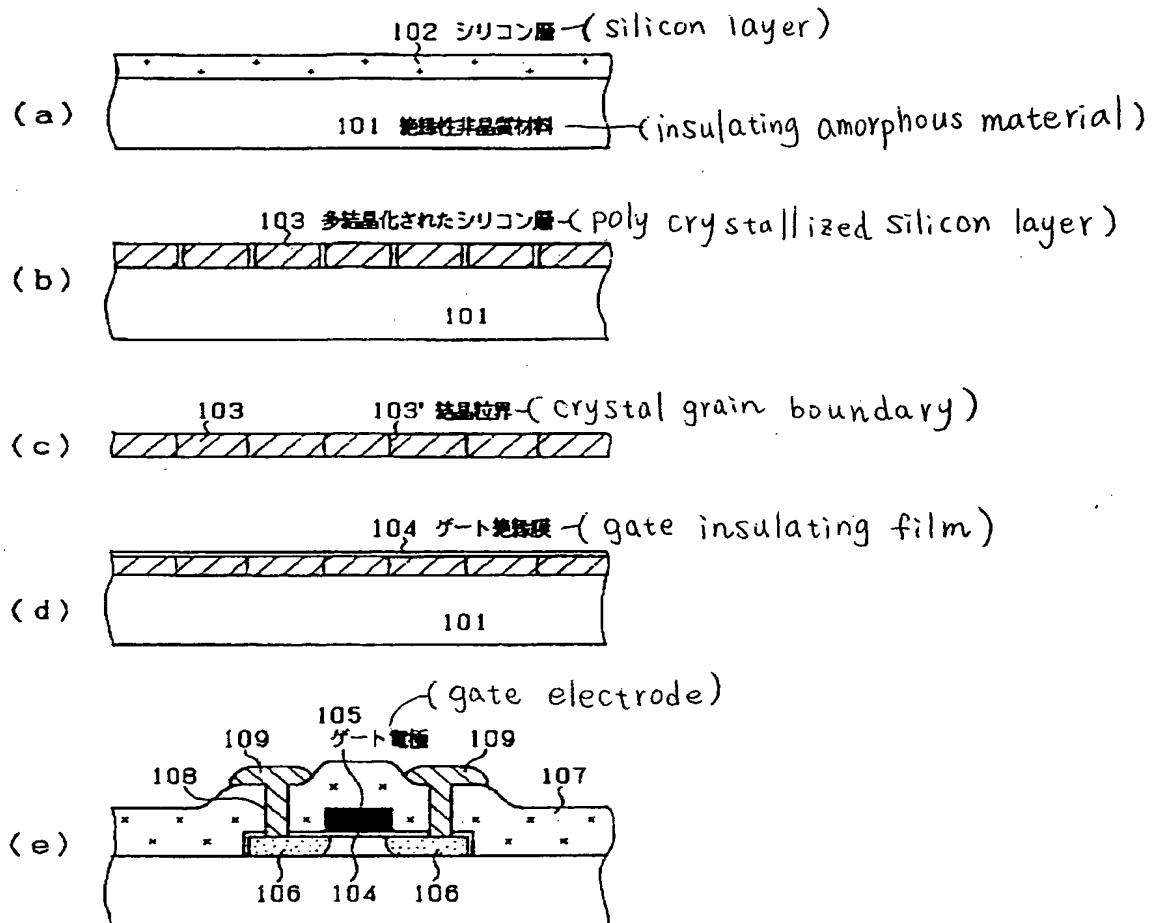
And the present invention can be applied not only to the TFT shown in an example of Fig.1, but also to all insulated gate type semiconductor elements. In addition to that, the invention is extremely effective to form photoelectric conversion elements such as bipolar transistors, electrostatic induction type transistors, solar cells and light sensor using a polycrystal semiconductor as an element material.

4. Brief Explanation of the Drawings

Fig. 1 (a) to (e) are manufacturing process figures of a semiconductor device in the example of the present invention.

- 101--- insulated amorphous material
- 102--- silicon layer
- 103--- polycrystal silicon layer
- 104--- gate insulating film
- 105--- gate electrode
- 106--- source · drain region
- 107--- interlayer insulating film
- 108--- contact hole
- 109--- wiring

Applicant Suwa Seiko-sha
Attorney Kisaburou Suzuki et al.



第 1 図

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

008572478 **Image available**

WPI Acc No: 1991-076511/199111

Related WPI Acc No: 1999-067037

XRAM Acc No: C91-032535

XRPX Acc No: N91-059029

Mfg. semiconductor device having high performance - by forming
semiconductor layer, effecting crystal growth and heat-treating

NoAbstract Dwg 1/2

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|------------|------|----------|-------------|------|----------|----------|
| JP 3022540 | A | 19910130 | JP 89157126 | A | 19890620 | 199111 B |

Priority Applications (No Type Date): JP 89157126 A 19890620

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|------------|------|--------|----------|--------------|
| JP 3022540 | A | 4 | | |

Abstract (Basic): JP 3022540 A

Semiconductor device is made by forming a metal film on a
semiconductor substrate by chemical vapour phase epitaxial method,
heating is performed by infrared ray irradiation. The metal film is
grown while the intensity fo the irradiation is reduced gradually.

USE - For reducing the changes in surface temps. of a grown film
during growing the film on a semiconductor substrate.

Dwg.0/2

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; HIGH; PERFORMANCE;
FORMING ; SEMICONDUCTOR; LAYER; EFFECT; CRYSTAL; GROWTH; HEAT; TREAT;
NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

訂正有り
⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-22540

⑬ Int.Cl.⁵

H 01 L 21/336
21/20
29/784

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月30日

7739-5F

9056-5F H 01 L 29/78 311 Y

審査請求 未請求 請求項の数 4 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-157126

⑰ 出 願 平1(1989)6月20日

⑱ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1)

(a) 絶縁性非晶質材料上にシリコンを主体とする半導体層を形成する工程、

(b) 該半導体層を熱処理等により結晶成長させる工程、

(c) 該工程(b)より高い所定の熱処理温度で該半導体層を処理する工程を少なくとも有することを特徴とする半導体装置の製造方法。

2) 前記各工程の熱処理温度が700℃～1200℃であることを特徴とする請求項1記載の半導体装置の製造方法。

3) ゲート絶縁膜を形成する工程を有し、該ゲート絶縁膜を形成する工程の最高温度が前記工程(c)の熱処理温度よりも低いことを特徴とする

請求項1または請求項2記載の半導体装置の製造方法。

4) 前記工程(c)の熱処理をエキシマレーザで行ったことを特徴とする請求項1、請求項2または請求項3記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に半導体素子を形成する製造方法に関する。

〔従来の技術〕

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような絶縁性非晶質材料上の高性能な半導体素子の実現が待望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1)プラズマCVD法等で形成した非晶質シリコンを素子材としたTFT、(2)CVD法等で形成した多結晶シリコンを素子材としたTFT、(3)熔融再結晶化法等で形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコン $TFT < 1 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 、多結晶シリコン $TFT \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

一方、レーザビーム等による熔融再結晶化法は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

〔発明が解決しようとする課題〕

3

る工程、

(c) 工程(b)より高い所定の熱処理温度で該半導体層を処理する工程を少なくとも有することを特徴とする。

2) 前記各工程の熱処理温度が $700^\circ\text{C} \sim 1200^\circ\text{C}$ であることを特徴とする。

3) ゲート絶縁膜を形成する工程を有し、該ゲート絶縁膜を形成する工程の最高温度が前記工程(c)の熱処理温度よりも低いことを特徴とする。

4) 前記工程(c)の熱処理をエキシマレーザで行ったことを特徴とする。

〔実施例〕

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(a)は、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシ

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。(Thin Solid Films 100 (1983) p.227, JJAP Vol.25 No.2 (1986) p.L121)

しかし、従来の技術では、多結晶シリコンをCVD法で形成し、 Si^+ をイオンインプラして該多結晶シリコンを非晶質化した後、 600°C 程度の熱処理を100時間近く行っていた。そのため、高価なイオン注入装置を必要としたほか、熱処理時間も極めて長いという欠点があった。

そこで、本発明の目的はより簡便かつ実用的な方法で、大粒径で結晶化率が高い多結晶シリコンを形成する製造方法を提供するものである。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、

1) (a) 絶縁性非晶質材料上にシリコンを主体とする半導体層を形成する工程と、

(b) 該半導体層を熱処理等により結晶成長させ

4

リコン層102を形成する工程である。成膜条件の一例としては、LPCVD法で $500^\circ\text{C} \sim 560^\circ\text{C}$ 程度で膜厚 $100\text{\AA} \sim 2000\text{\AA}$ 程度のシリコン膜を形成する等の方法がある。ただし、成膜方法はこれに限定されるものではない。

(b)は、該シリコン層102を熱処理等により結晶成長させる工程である。熱処理条件は、工程(a)のシリコン層の成膜方法によってその最適条件が異なるが、 $550^\circ\text{C} \sim 650^\circ\text{C}$ 程度で2~30時間程度窒素もしくは Ar 等の不活性ガス雰囲気中で熱処理することで多結晶シリコン層103が形成される。

(c)は、工程(b)より高い所定の熱処理温度で該多結晶シリコン層103を熱処理する工程である。熱処理温度としては、 $700^\circ\text{C} \sim 1200^\circ\text{C}$ 程度の間に最適値が存在する。但し、基板としてガラスを用いた場合は、上述のような高温にさらすことはできないため、エキシマレーザ等の短波長光を照射することで半導体の表面層近傍のみを上述の温度まで昇温させ、半導体層と基板界面

近傍は600℃程度以下になるように、照射強度及び照射時間を最適化することが重要である。一例としては、XeClエキシマレーザ(波長308nm)を用い、照射強度0.1~1.0J/cm²程度で1~10パルス(1パルス数十ns)照射する等の条件が上述の条件を満たす。尚、レーザを照射した際、半導体層と基板の界面が600℃程度以下であれば、半導体層の表面を熔融させる条件の方が、半導体表面層の結晶性が良好となり好ましい。特に、該表面層は反転層が形成される領域であるため、表面層の結晶性向上は、トランジスタ特性の向上につながる。

(d)は、ゲート絶縁膜104を形成する工程である。ゲート絶縁膜の形成方法としては、熱酸化法で900℃~1200℃程度の高温で形成する方法(高温プロセス)と、CVD法、プラズマCVD法、光CVD法、スパッタ法等で650℃程度以下の低温で形成する方法(低温プロセス)がある。当然のことながら、基板としてガラスを用いた場合は、低温プロセスを採用しなければなら

7

本発明は、550℃~650℃程度の低温で固相成長させた後で、それよりも高い温度で熱処理する点が重要である。その理由を以下に述べる。

工程(b)で固相成長法で結晶成長させた多結晶シリコン層103の結晶化率は必ずしも高くない。特に、LPCVD法で500℃~560℃程度の比較的低温で形成したシリコン膜(非晶質シリコン、若しくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。)を熱処理で固相成長させた場合は、その結晶化率は、50%~70%程度と低い。そこで、工程(c)で工程(b)より高い温度で熱処理することで、該多結晶シリコン層の未結晶化領域を結晶化させる工程を設けることが重要となる。その結果、結晶化率を99%以上に高めることができる。特に、ゲート絶縁膜を前述の低温プロセスで形成する場合には、熱酸化のような高温の熱処理が後工程で加わらないため、本発明に基づく熱処理を行い結晶化率を高めることが、重要である。

熱処理方法としては、アニール炉で窒素若しく

ない。

(e)は、半導体素子を形成する工程である。尚、第1図(e)では、半導体素子としてTFTを形成する場合を例としている。図において、104はゲート絶縁膜、105はゲート電極、106はソース・ドレイン領域、107は層間絶縁膜、108はコンタクト穴、109は配線を示す。TFT形成法の一例としては、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法、イオンシャワードーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。基板としてガラスを用いた場合のソース・ドレイン領域の形成方法は、イオン注入法でB、P等の不純物を打ち込んだ後、600℃程度の低温で数時間~数十時間熱処理することで不純物の活性化を行う方法の他、イオンシャワードーピング法、プラズマドーピング法等が有効である。

8

はAr等の不活性ガス雰囲気中で、例えば850℃ならば1時間程度、1000℃ならば10~20分程度熱処理する方法の他に、ハロゲンランプ・アークランプ・赤外線ランプ・キセノンランプ・水銀ランプ等を用いたランプアニール、エキシマレーザ・Arレーザ・He-Neレーザ等を用いたレーザアニール等の方法もある。中でも、エキシマレーザを用いたレーザアニールは、半導体層の表面付近のみを加熱できるため、基板として安価なガラス基板を用いた場合でも用いることができる。その場合、少なくとも半導体層の表面から数百μmの間の結晶化率を99%以上にすることができる。その結果、ゲート絶縁膜を前述の低温プロセスで形成し、ソース・ドレイン領域も600℃程度以下の低温プロセス(例えば、イオン注入法でB、P等の不純物を打ち込んだ後、600℃程度の熱処理を数時間~数十時間行い活性化する等の方法)で形成すれば、ガラス基板上に高性能な半導体素子を形成することができ、その効果は極めて大きい。尚、550℃~650℃

程度で固相成長させた後でレーザアニールした場合と、固相成長をさせずに *as-depo* の膜をレーザアニールした場合とでは、固相成長させた膜の方が結晶粒径が大きく ($1\mu\text{m}$ 以上)、結晶化率も高い (レーザアニールのみでは基板近傍の半導体層の結晶化率が特に悪い。) という大きな効果がある。

さらに、LPCVD法で形成した膜の成膜温度と工程 (c) の熱処理の有無にも重要な相関があることを見いだした。即ち、LPCVD法で高温 (例えば、 $580^{\circ}\text{C}\sim 610^{\circ}\text{C}$ 程度) で形成したシリコン層と、低温 (例えば、 $500^{\circ}\text{C}\sim 550^{\circ}\text{C}$ 程度) で形成したシリコン層を比べると、工程 (c) の熱処理がない場合は、低温で形成したシリコン層の方が結晶粒径は大きいものの、結晶化率が低く、TFTの電界効果移動度も小さかった。しかし、工程 (c) の熱処理を行った場合は、逆に低温で形成したシリコン層の方が結晶粒径が大きく、結晶化率も大きく、TFTの電界効果移動度も大きかった。尚、この値は、LPCV

D法で $580^{\circ}\text{C}\sim 610^{\circ}\text{C}$ 程度の高温で形成した膜では得られない値であった。

これは現在のところ以下に述べる理由によると考えられる。(1) 低温で形成した膜の方は、非晶質シリコンもしくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。従って、高温で形成した膜と比べて、固相成長時の多結晶核発生密度が低く、大粒径の多結晶シリコンを固相成長によって形成できる。(2) ただし、低温で形成した膜は、固相成長後の非晶質相の割合が多く、結晶化率を高める為に高温の熱処理が必要である。と考えられる。従って、本発明はCVD法で形成した膜に限らず、蒸着法、プラズマCVD法、EB蒸着法、MBE法、スパッタ法、CVD法等で非晶質シリコンもしくは微結晶シリコンを成膜した場合や、微結晶シリコンもしくは多結晶シリコン等をプラズマCVD法、CVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等で形成後、Si、Ar、B、P、He、Ne、Kr、H等の元素をイオン打ち込みして、該微結

1 1

晶シリコンもしくは多結晶シリコン等を完全もしくは一部を非晶質化する等の方法で形成した場合にも有効である。中でも特に、*as-depo* の膜の非晶質相の割合が高く、多結晶核発生密度の低い (即ち、固相成長法で大粒径の多結晶シリコンを形成し易い) 膜ほど、本発明はその効果が大きい。

本発明に基づく半導体装置の製造方法を用い、低温プロセスで形成した多結晶シリコンTFT (Nチャンネル) の電界効果移動度は、 $150\sim 200\text{m}^2/\text{V}\cdot\text{sec}$ 程度であり熱酸化法で形成したTFTとほぼ同等の特性が得られた。

又、本発明は前述の通り低温プロセスに用いた場合、その効果が最も大きい。高温プロセスに用いた場合も有効である。即ち、未結晶化領域の多い多結晶シリコンを熱酸化すると、結晶領域に比べて酸化速度が大きい未結晶化領域が先に酸化される。その結果、結晶粒界に沿って酸化膜が形成され、移動度が低下するという現象を生ずることがあった。しかし、本発明のアニール方法を用

1 2

いると、熱酸化前の結晶化率を十分高め、前述の結晶粒界部に沿った酸化を抑えることができるため、その効果は極めて大きい。

さらに、前記TFT製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気中に半導体素子をさらす工程等を設け、前記TFTを水素化すると、結晶粒界に存在する欠陥密度が低減され、前記電界効果移動度はさらに向上する。

また、チャンネル領域に不純物をドーピングして、 V_{th} (しきい値電圧) を制御する手段も極めて有効である。固相成長法で形成した多結晶シリコンTFTでは、Nチャンネルトランジスタがデプレッション方向に V_{th} がシフトし、Pチャンネルトランジスタがエンハンスメント方向にシフトする傾向がある。又、上記TFTを水素化した場合、その傾向がより顕著になる。そこで、チャンネル領域に $10^{18}\sim 10^{19}/\text{cm}^3$ 程度の不純物をドーピングすると、 V_{th} のシフトを抑えることができる。例えば、第1図において、ゲート電

極を形成する前に、イオン注入法等でB（ボロン）等の不純物を $10^{11} \sim 10^{13} / \text{cm}^2$ 程度のドーズ量で打ち込む等の方法がある。特に、ドーズ量が前述の値程度であれば、Pチャンネルトランジスタ、Nチャンネルトランジスタ共オフ電流が最小になるように、 V_{th} を制御することができる。従って、CMOS型のTFT素子を形成する場合においてもPch、Nchを選択的にチャンネルドーブせずに、全面を同一の工程でチャンネルドーブすることもできる。

尚、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に適用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にきわめて有効な製造方法となる。

〔発明の効果〕

以上述べたように、本発明によればより簡便な製造プロセスで大粒径で結晶化率の高い多結晶シ

リコン膜を形成することが出来る。その結果、絶縁性非品質材料上に高性能な半導体素子を形成することが可能となり、大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

また、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に適用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にきわめて有効な製造方法となる。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の実施例における半導体装置の製造工程図である。

101・・・絶縁性非品質材料

102・・・シリコン層

15

103・・・多結晶シリコン層

104・・・ゲート絶縁膜

105・・・ゲート電極

106・・・ソース・ドレイン領域

107・・・層間絶縁膜

108・・・コンタクト穴

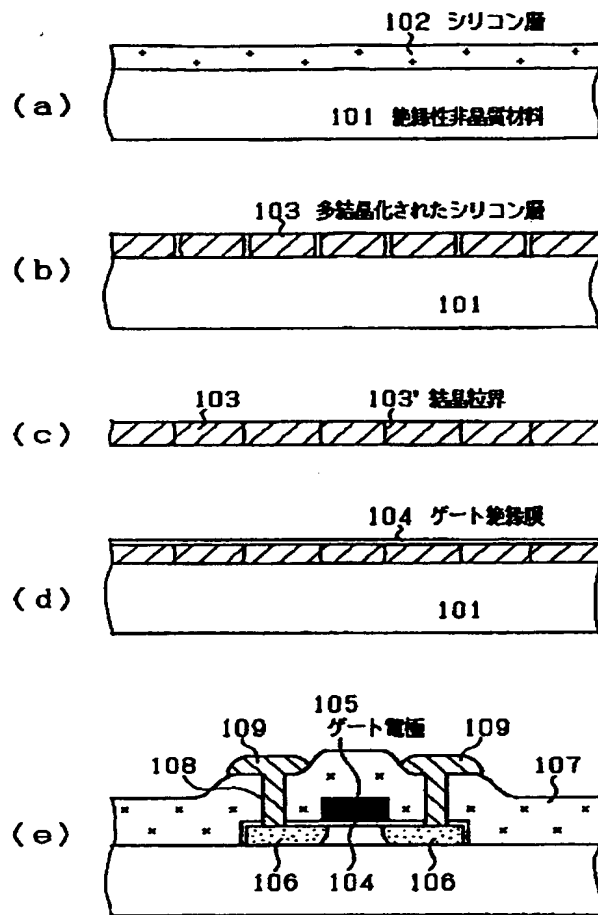
109・・・配線

16

以 上

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木 喜三郎（他1名）



第 1 図